

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-050772  
 (43)Date of publication of application : 20.02.1998

---

(51)Int.Cl.	H01L 21/60 H01L 21/68
-------------	--------------------------

---

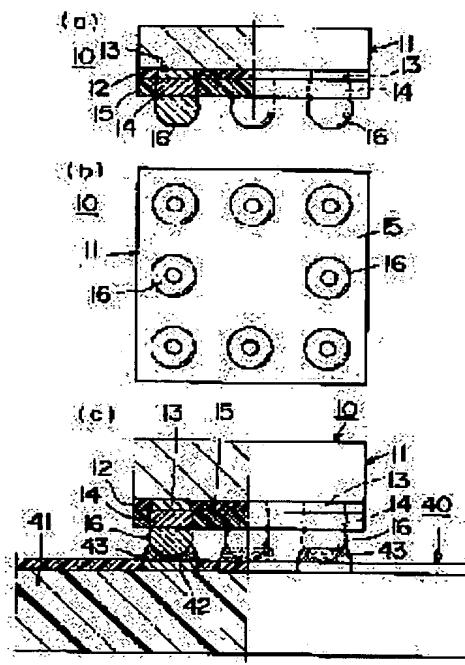
(21)Application number : 08-215206	(71)Applicant : HITACHI LTD HITACHI VLSI ENG CORP
(22)Date of filing : 26.07.1996	(72)Inventor : HORIUCHI HITOSHI TSUBOI TOSHIHIRO TATE HIROSHI MIWA TAKASHI

---

## (54) SEMICONDUCTOR DEVICE AND PRODUCTION THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a CSP.IC(chip size package IC) in which the production cost can be reduced.  
**SOLUTION:** The CSP.IC 10 is provided with a plurality of electrode pads 13 formed on a first major surface of a chip 11 while being wire bonded with outer terminals 14 and resin molded under a state where the upper part of a group of external terminals 14 is exposed from a resin sealing film 15 onto the first major surface. A bump 16 is wire bonded onto the external terminal 14. The CSP.IC is mounted on a board 40 through flip-chip connection. Consequently, the package can be suppressed equal in size with the chip and since no printed wiring board nor film carrier is required for forming the resin sealing film and the outer terminal, production cost can be suppressed. Production cost of the CSP.IC can be reduced furthermore because no special process is required.



## LEGAL STATUS

[Date of request for examination] 13.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-50772

(43)公開日 平成10年(1998)2月20日

(51)Int.Cl.<sup>a</sup>  
H 01 L 21/60  
21/68

識別記号 311

府内整理番号

F I  
H 01 L 21/60  
21/68

技術表示箇所  
311 S  
A

審査請求 未請求 請求項の数9 FD (全 7 頁)

(21)出願番号 特願平8-215206

(22)出願日 平成8年(1996)7月26日

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(71)出願人 002233468  
日立超エル・エス・アイ・エンジニアリング株式会社  
東京都国分寺市東恋ヶ窪三丁目1番地1  
(72)発明者 堀内 整  
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内  
(74)代理人 弁理士 梶原 辰也

最終頁に続く

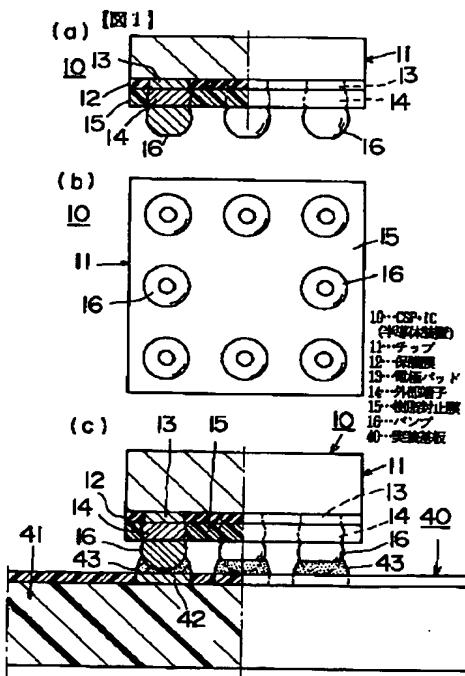
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 製造コストを低減できるCSP・ICを提供する。

【解決手段】 CSP・IC10はチップ11の第1主面上に形成された複数個の電極パッド13にワイヤボンディングで外部端子14が形成され、第1主面上に樹脂封止膜15が外部端子14群をその上部を露出させた状態で樹脂封止するように形成されている。外部端子14の上にバンプ16がワイヤボンディングで形成されている。実装基板40へフリップ・チップ接続によって実装される。

【効果】 パッケージをチップの大きさと同等に抑制でき、樹脂封止膜、外部端子を形成するのにプリント配線基板やフィルムキャリアを使用しなくて済むため、製造コストを抑制できる。CSP・ICは特殊なプロセスを使用せずに済むため、CSP・ICの製造コストを低減できる。ウェハの段階でエーティングを一括して実施できるため、CSP・ICの製造コストを低減できる。



**【特許請求の範囲】**

【請求項1】 半導体チップの第1主面に形成された複数個の電極パッドにワイヤボンディングによって形成された外部端子が機械的かつ電気的にそれぞれ接続されており、前記第1主面の上には樹脂封止膜が前記外部端子群をその上部を露出させた状態で樹脂封止するように形成されていることを特徴とする半導体装置。

【請求項2】 前記外部端子の上にワイヤボンディングによって形成されたバンプが電気的かつ機械的に突設されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記ワイヤとして半田ワイヤが使用されることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記外部端子がワイヤボンディングを繰り返されて多段に構成されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 請求項1に記載の半導体装置の製造方法であつて、

半導体ウエハの状態で、各チップ部の複数個の電極パッドにワイヤボンディングによってワイヤのボールが圧着された後にワイヤが切断されてボールによって各外部端子部がそれぞれ形成される外部端子形成工程と、前記半導体ウエハの外部端子群側主面に液状樹脂が被着されて樹脂封止膜が前記外部端子群を樹脂封止するように形成される樹脂封止膜形成工程と、

前記半導体ウエハが各チップ部毎にダイシングされるダイシング工程と、

を備えていることを特徴とする半導体装置の製造方法。

【請求項6】 前記外部端子の上にバンプがワイヤボンディングによって突設されることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記外部端子がワイヤボンディングを繰り返されて多段に構成されることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項8】 ワイヤボンディングのワイヤが利用されてエージングされることを特徴とする請求項5、6または7に記載の半導体装置の製造方法。

【請求項9】 前記半導体ウエハがダイシングされる前に、前記各外部端子に各プローブ針が接触されてエージングされることを特徴とする請求項5、6または7に記載の半導体装置の製造方法。

**【発明の詳細な説明】**

**【0001】**

【発明の属する技術分野】 本発明は、半導体装置、特に、パッケージの縮小技術に関し、例えば、半導体集積回路装置（以下、ICという。）を利用して有効な技術に関する。

**【0002】**

【従来の技術】 ICを使用する電子機器の小型薄形化に伴って、ICのパッケージの縮小が要求されている。そ

こで、半導体素子を含む集積回路が作り込まれた半導体チップ（以下、チップといいう。）のサイズと同等または略同等のサイズのチップ・サイズ・パッケージ（Chip Size PackageまたはChip Scale Package。以下、CSPといいう。）が開発されている。

【0003】 CSPは概ね次のような二つのタイプに大別することができる。第1タイプのCSPは、チップにプリント配線基板やフィルムキャリアが電気的かつ機械的に接続され、プリント配線基板やフィルムキャリアに外部端子として半田ボールが突設されている。第2タイプのCSPは、プリント配線基板やフィルムキャリア等を使用せずにチップの電極パッドにバンプが突設され、チップがバンプを露出させた状態で樹脂封止されている。

【0004】 なお、CSPを述べてある例としては、株式会社プレスジャーナル1995年5月発行「月刊 Semiconductor World」P103～P131がある。

**【0005】**

【発明が解決しようとする課題】 しかしながら、第1タイプのCSPにおいては、プリント配線基板やフィルムキャリアが使用されるため、その分だけ材料費や製造費用が増大し製造コストがきわめて高くなるという問題点がある。また、第2タイプのCSPにおいては、バンプを露出させた状態でチップ毎に樹脂封止するプロセスが特殊になり、かつまた、エージングを実施する際のソケットの製造も困難になるため、きわめて製造コストが高くなるという問題点がある。

【0006】 本発明の目的は、製造コストを低減することができる半導体装置の製造技術を提供することにある。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【0008】**

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、次の通りである。

【0009】 すなわち、半導体装置は、半導体チップの第1主面に形成された複数個の電極パッドにワイヤボンディングによって形成された外部端子が機械的かつ電気的にそれぞれ接続されており、第1主面の上には樹脂封止膜が外部端子群をその上部を露出させた状態で樹脂封止するように形成されていることを特徴とする。

【0010】 前記した半導体装置の製造方法は、半導体ウエハの状態で各チップ部の複数個の電極パッドにワイヤボンディングによってワイヤのボールが圧着された後にワイヤが切断されてボールによって各外部端子部がそれぞれ形成される外部端子形成工程と、前記半導体ウエ

ハの外部端子群側主面に液状樹脂が被着されて樹脂封止膜が前記外部端子群を樹脂封止するように形成される樹脂封止膜形成工程と、前記半導体ウエハが各チップ部毎にダイシングされるダイシング工程と、を備えている。

【0011】前記した半導体装置は樹脂封止体に相当する樹脂封止膜が半導体チップの第1主面に形成されているため、パッケージは半導体チップの大きさと同等になる。しかも、樹脂封止膜および外部端子を形成するのにプリント配線基板やフィルムキャリアが使用されていないため、製造コストは抑制される。

【0012】前記した半導体装置の製造方法によれば、ワイヤボンディング技術が使用されて外部端子が形成されるため、特殊なプロセスを使用せずに外部端子を形成することができる。また、樹脂封止体に相当する樹脂封止膜は特殊なプロセスを使用せずに形成することができるため、外部端子の形成とあいまって半導体装置の製造コストを低減することができる。しかも、ワイヤボンディング技術を利用して半導体ウエハの段階でエージングを一括して実施することも可能であるため、特殊なソケットの開発の省略とあいまって半導体装置の製造コストを低減することができる。

### 【0013】

【発明の実施の形態】図1は本発明の一実施形態である半導体装置を示しており、(a)は一部切断正面図、

(b)は底面図、(c)はその実装状態の一部省略一部切断正面図である。図2以降は本発明の一実施形態である半導体装置の製造方法を示す各工程の説明図である。

【0014】本実施形態において、本発明に係る半導体装置は、CSPを備えているIC(以下、CSP・ICという。)として構成されている。図1に示されているように、CSP・IC10は半導体素子を含む集積回路(図示せず)が作り込まれたチップ11を備えており、チップ11は正方形の小さな平板形状に形成されている。チップ11の集積回路が形成されたアクティブエリア側の主面(以下、第1主面といふ。)には絶縁物から形成された保護膜12が被着されるとともに、保護膜12には電極パッド13が複数個、集積回路に電気的に接続されて形成されている。各電極パッド13には外部端子14が機械的かつ電気的にそれぞれ接続されており、保護膜12の上には樹脂封止膜15が外部端子14群を樹脂封止するように形成されている。各外部端子14の上にはバンプ16がそれぞれ機械的かつ電気的にそれぞれ接続されている。

【0015】以下、本発明の一実施形態であるCSP・ICの製造方法を説明する。この説明によって、前記CSP・ICの構成の詳細が明らかにされる。ICの製造方法における所謂前工程において、図2(b)に参照されるように、半導体素子を含む集積回路はウエハ20に所望のチップ11に相当する区画に形成された各チップ部21毎にそれぞれ作り込まれる。図2(a)に示され

ているように、ウエハ20の集積回路が形成されたアクティブエリア側の主面である第1主面には、絶縁物から形成された保護膜12が全体にわたって均一に被着されている。保護膜12には電極パッド13が各チップ部21毎に複数個ずつ、所定の間隔を有するアレー状に配列されてそれぞれ形成されている。

【0016】以上のように製造されたウエハ20には外部端子14の素になるボール24が各チップ部21毎に複数個ずつ、図2(a)に示されているようにワイヤ・ボンディング技術によってそれぞれ形成される。外部端子14の素になるボール24を形成するためのワイヤ・ボンディング技術には、熱圧着式または超音波熱圧着式のワイヤボンディング装置(便宜上、一部のみが図示されている。)が使用されるとともに、外部端子14の素になるボール24の素材であるワイヤとしては金(Au)ワイヤが使用される。

【0017】外部端子14の素になるボール24の形成に際して、金ワイヤ23はワイヤボンディング装置のキャピラリー22に挿通され、先端部がキャピラリー22の先端からテール出しされる。金ワイヤ23のテール出しされた先端部には放電トーチ(図示せず)によって加熱溶融されることにより、ボール24が形成される。キャピラリー22の先端に形成されたボール24はウエハ20の電極パッド13に熱圧着される。

【0018】次いで、金ワイヤ23が上方に引っ張られると、金ワイヤ23はボール24のネック部位で引き千切られるため、電極パッド13の上にはボール24が熱圧着された状態で残る。すなわち、ボール24は略半球形状に形成されて電極パッド13の上に突設された状態になっている。

【0019】以降、前記したワイヤボンディング作業が繰り返されることにより、図2(b)に示されているように、ウエハ20の全面にわたって外部端子14の素になるボール24が順次熱圧着されて行く。

【0020】以上のようにしてボール24群を熱圧着されたウエハ20の第1主面の上には樹脂封止膜15が、図3(a)に示されているようにスピナ塗布技術によってボール24群を被覆するように全体的に均一に塗布される。すなわち、スピナ塗布装置のスピンチャック25にウエハ20が第1主面側を上向きにした状態で真空吸着保持されると、ウエハ20はスピンチャック25によって回転される。ポッティングレジン等の絶縁性を有する液状樹脂26がウエハ20の上にスピナ塗布装置の滴下ノズル27から滴下されると、液状樹脂26は遠心力によって外側に拡散されるため、ウエハ20の第1主面の上には液状樹脂26の膜が全体にわたって均一に塗布された状態になる。

【0021】その後、液状樹脂26が熱硬化されると、図3(b)に示されているように、ウエハ20の第1主面の上には樹脂封止膜15がボール24群を被覆するよ

うに被着された状態になる。この状態において、ボール24群は樹脂封止膜15の内部に埋もれた状態になっている。

【0022】ウエハ20の上に厚く被着された樹脂封止膜15は、図4(a)に示されているように研磨技術によって外部端子14が露出する状態に研磨される。すなわち、研磨装置の研磨台28にウエハ20が樹脂封止膜15側を上向きにした状態で保持されると、研磨工具29が樹脂封止膜15に擦り付けられることにより樹脂封止膜15が研磨される。樹脂封止膜15が所定量研磨されると、ボール24の頂部も研磨されるため、図4(b)に示されているように、外部端子14が形成されるとともに、外部端子14におけるボール24の頂部を研磨されて平坦になった上面が樹脂封止膜15の上面から露出した状態になる。

【0023】以上のようにして樹脂封止膜15から外部端子14群が露出されたウエハ20の第1主面には、図5に示されているように、各外部端子14の上にバンプ16がワイヤボンディング技術により重ねて形成されるとともに、バンプ16のワイヤが利用されてエージング(加速度試験)が実施される。

【0024】すなわち、図2について説明した外部端子14の素になるボール24の熱圧着工程と同様に、熱圧着式または超音波熱圧着式のワイヤボンディング装置によって金ワイヤ30のボール31がバンプ16の素として外部端子14の平坦面の上に熱圧着される。ここで、金ワイヤ30はウエハ20へのボンディング後に引き千切られずにキャピラリー(図示せず)から繰り出されて、エージング基板32の上面に形成されたボンディングパッド33に第2ボンディングされる。金ワイヤ30の中間部がエージング基板32のボンディングパッド33に第2ボンディングされると、金ワイヤ30は第2ボンディング部位であるボンディングパッド33の直近で引き千切られる。以降、各外部端子14毎にバンプ16を形成するためのワイヤボンディングが繰り返されて行く。

【0025】金ワイヤ30が各外部端子14とエージング基板32の各ボンディングパッド33との間にそれぞれ橋絡された状態は、各電極パッド13と各ボンディングパッド33とが電気的に接続された状態になるため、ウエハ20の各チップ部21とエージング基板32とは電気的に接続された状態になる。エージング基板32のボンディングパッド33には電気配線34が電気的にそれぞれ接続されており、各電気配線34はエージング基板32の外部端子(図示せず)に電気的に接続されている。

【0026】金ワイヤ30群によって互いに電気的に接続されたエージング基板32とウエハ20の各チップ部21とは、恒温炉等(図示せず)に搬入された後に、エージング基板32の外部端子群、ボンディングパッド3

3、金ワイヤ30、外部端子14、電極パッド13を通じて電力を印加される。すなわち、ウエハ20上の全てのチップ部21は一括してエージングされることになる。したがって、ダイシングされた後に、チップ毎にエージングが実施される従来の場合に比べて効率がよく、しかも、エージングのために必要なソケットを専用的に用意しなくて済むため、エージングに必要な経費を節減することができる。

【0027】エージングが終了すると、エージング基板32とウエハ20とが相対的に離間されることによって、各金ワイヤ30がボール31のネックの部位でそれぞれ引き千切られる。金ワイヤ30がボール31のネックの部位で引き千切られると、図5(b)に示されているように、外部端子14の上に熱圧着されたボール31によってバンプ16が形成された状態になる。バンプ16は略半球形状に形成されて外部端子14の平坦面の上に突設された状態になっている。

【0028】以上のようにしてバンプ16群が形成されたウエハ20は、ダイシング工程(図示せず)において各チップ11にそれぞれダイシングされる。外部端子14群、樹脂封止膜15およびバンプ16群はウエハ20の状態において既に形成されているため、ダイシング後のチップ11によって図1に示されているCSP·IC10が製造された状態になる。

【0029】以上のようにして製造されたCSP·IC10は実装基板に図1(c)に示されているように実装される。図1(c)に示されている実装基板40はガラス含浸エポキシ樹脂基板やセラミック基板等の絶縁基板によって形成された本体41を備えており、本体41の上面にはランド42が複数個、CSP·IC10におけるバンプ16群に対応するように配列されている。

【0030】CSP·IC10が実装基板40に実装されるに際して、実装基板40のランド42群には半田ペースト(図示せず)がスクリーン印刷法等によって予め塗布される。次いで、CSP·IC10がバンプ16群側を下向きにした状態で実装基板40の上に対向され、各バンプ16が各ランド42に半田ペーストによってそれぞれ粘着されて仮止めされる。

【0031】この状態で、CSP·IC10が実装基板40と共に加熱炉を通されると、バンプ16とランド42との間には半田ペーストによって半田付け部43が形成されるため、図1(c)に示されているように、CSP·IC10は実装基板40にリフロー半田付けされた状態になる。すなわち、CSP·IC10は実装基板40にフリップ・チップ接続されたことになる。

【0032】前記実施形態によれば次の効果が得られる。

- ① チップの第1主面に形成された複数個の電極パッドにワイヤボンディングによって外部端子を形成し、第1主面の上に樹脂封止膜を外部端子群をその上面を露出さ

せた状態で樹脂封止するように形成することにより、パッケージをチップの大きさと同等に構成することができるとともに、樹脂封止膜および外部端子を形成するのにプリント配線基板やフィルムキャリアを使用しなくて済むため、製造コストを抑制することができる。

【0033】② 外部端子の上にバンプをワイヤボンディングによって形成することにより、実装基板へフリップ・チップ接続によって実装することができるため、実装作業を簡単に実施することができる。

【0034】③ ワイヤボンディング技術を使用して外部端子およびバンプを形成することにより、特殊なプロセスを使用せずに済むため、CSP・ICの製造コストを低減することができる。

【0035】④ ウエハの外部端子群側正面に液状樹脂を被着して樹脂封止膜を外部端子群を樹脂封止するように形成するとともに、樹脂封止膜の表層部を除去して外部端子を露出させることにより、特殊なプロセスを使用せずに済むため、前記③とあいまってCSP・ICの製造コストを低減することができる。

【0036】⑤ ワイヤボンディング技術を利用してウエハの段階でエーティングを一括して実施することにより、特殊なソケットの開発の省略とあいまって、CSP・ICの製造コストをより一層低減することができる。

【0037】図6は本発明の実施形態2であるCSP・ICの製造方法を示しており、(a)は外部端子形成工程後の拡大部分正面断面図、(b)は樹脂封止膜形成工程後の拡大部分正面断面図、(c)は製造後の一剖切正面図である。

【0038】本実施形態2が前記実施形態1と異なる点は、外部端子14Aがワイヤボンディングを繰り返されることによって多段に構成されているとともに、樹脂封止膜15Aは外部端子14Aの最上段のポール24Aが表面から突出するように形成されている点にある。

【0039】本実施形態2によれば、外部端子14Aの最上段のポール24Aによってバンプ16を実質的に構成することができるため、前記実施形態1におけるバンプ形成工程を省略することができる。

【0040】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0041】例えば、ウエハ段階でのエーティングはボンディングワイヤを利用して実施するに限らず、図7に示されているように、エーティング基板32Aに突設されたプローブ針35をウエハ20の各チップ部21における外部端子14に接触させて実施するようにしてもよい。

【0042】ちなみに、ウエハ段階でのボンディングワイヤを利用したエーティングは、バンプ16の形成工程において実施するに限らず、外部端子14の形成工程において実施してもよい。

【0043】外部端子およびバンプを形成するためのボンディングワイヤとしては、金ワイヤを使用するに限らず、半田ワイヤ等の導電性を有するワイヤを使用することができる。殊に、バンプは半田ワイヤを使用して形成すると、半田バンプを形成することができるため、実装基板へ簡単に実装することができる。

【0044】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、次の通りである。

【0045】半導体チップの第1正面に形成された複数個の電極パッドにワイヤボンディングによって外部端子を形成し、第1正面の上に樹脂封止膜を外部端子群がその上面を露出させた状態で樹脂封止するように形成することにより、パッケージをチップの大きさと同等に構成することができるとともに、樹脂封止膜および外部端子を形成するのにプリント配線基板やフィルムキャリアを使用しなくて済むため、製造コストを抑制することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である半導体装置を示しており、(a)は一部切断正面図、(b)は底面図、(c)はその実装状態の一部省略一部切断正面図である。

【図2】本発明の一実施形態である半導体装置の製造方法における外部端子形成工程を示しており、(a)は拡大部分正面断面図、(b)は平面図である。

【図3】同じく樹脂封止膜形成工程を示しており、(a)は正面図、(b)は拡大部分正面断面図である。

【図4】同じく樹脂封止膜研磨工程を示しており、(a)は正面図、(b)は拡大部分正面断面図である。

【図5】同じくバンプ形成およびエーティング工程を示しており、(a)はエーティング時の拡大部分正面断面図、(b)はバンプ形成後の拡大部分正面断面図である。

【図6】本発明の実施形態2であるCSP・ICの製造方法を示しており、(a)は外部端子形成工程後の拡大部分正面断面図、(b)は樹脂封止膜形成工程後の拡大部分正面断面図、(c)は製造後の一剖切正面図である。

【図7】プローブ針によるエーティングを示す拡大部分正面断面図である。

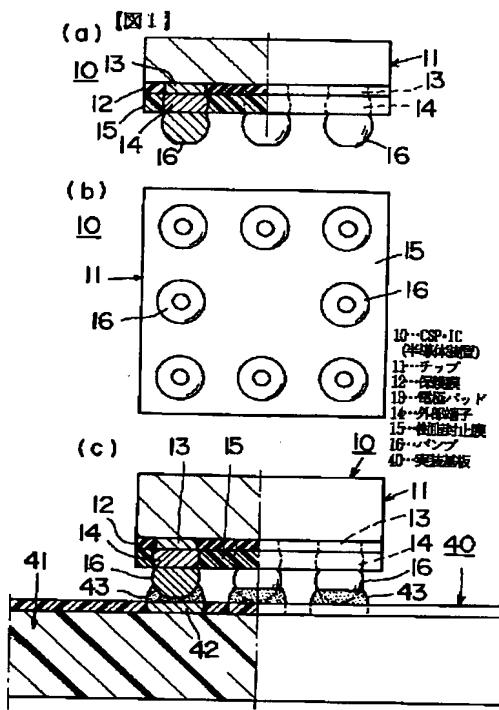
【符合の説明】

10…CSP・IC(半導体装置)、11…チップ、12…保護膜、13…電極パッド、14、14A…外部端子、15、15A…樹脂封止膜、16…バンプ、20…ウエハ、21…チップ部、22…キャビラリー、23…金ワイヤ、24…ポール、24A…最上段のポール、25…スピンドル、26…液状樹脂、27…滴下ノズル、28…研磨台、29…研磨工具、30…金ワイヤ、31…ポール、32、32A…エーティング基板、33…

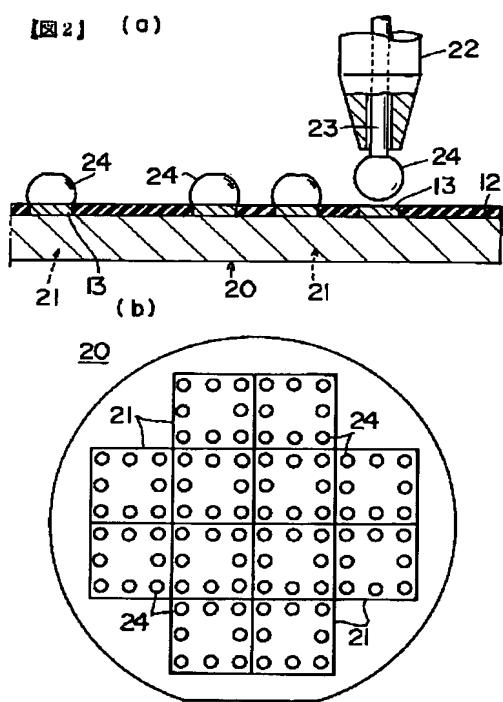
ポンディングパッド、34…電気配線、35…プローブ針、40…実装基板、41…本体、42…ランド、43…

…半田付け部。

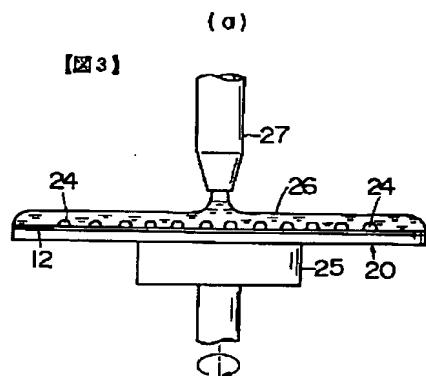
【図1】



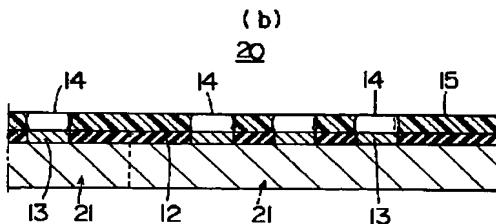
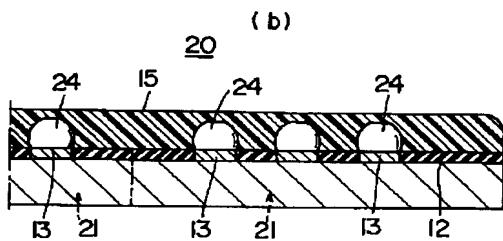
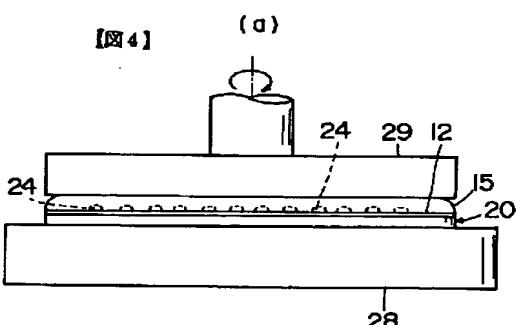
【図2】



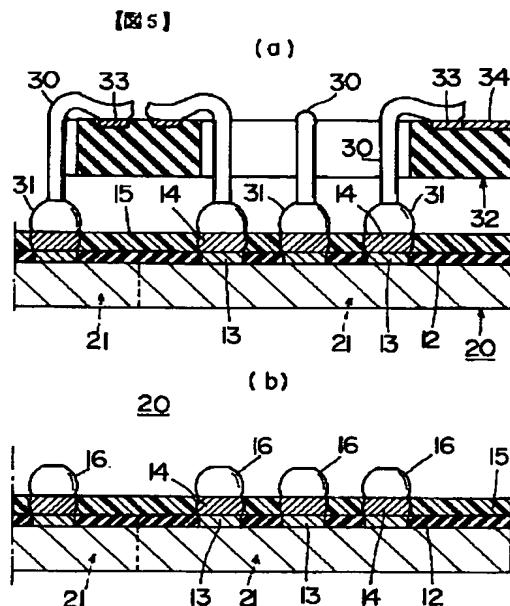
【図3】



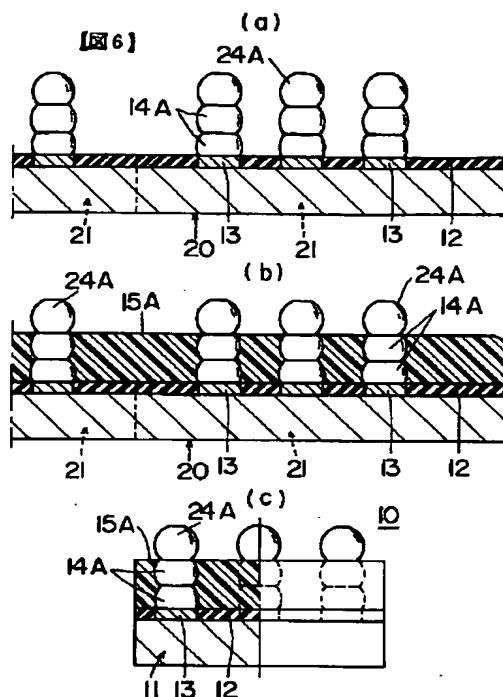
【図4】



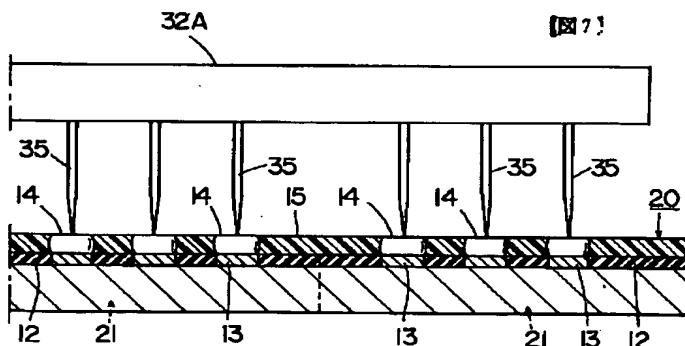
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 坪井 敏宏

東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内

(72)発明者 館 宏

東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内

(72)発明者 三輪 孝志

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

**THIS PAGE BLANK (USPTO)**